



GP 2812-3

**Certification under 37 CFR 1.8(a)**

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with The United States Postal Service with sufficient postage as first class mail in an envelope addressed to The Commissioner for Patents, Washington, D.C. 20231 on April 8, 2002.

Vangelis Economou  
Name

RECEIVED

JUN 1 2 2002

TC 1700

*Vangelis Economou*  
Signature

DOCKET: CU-2755

**IN THE UNITED STATES PATENT & TRADEMARK OFFICE**

APPLICANT: Seung Ho PYI )  
SERIAL NO: 10/034,221 )  
FILING DATE: December 28, 2001 )  
TITLE: METHOD FOR FABRICATING A SEMICONDUCTOR )  
EPITAXIAL WAFER HAVING DOPED CARBON AND )  
A SEMICONDUCTOR EPITAXIAL WAFER )

Group Art Unit:  
2812

The Commissioner for Patents  
Washington, D.C. 20231

RECEIVED  
APR 18 2002  
TECHNOLOGY CENTER 2800

**SUBMITTAL OF PRIORITY DOCUMENT**

Dear Sir:

Attached herewith is a certified copy of Korean Application 2001-0067090  
filed October 30, 2001, for which priority is claimed under 35 USC 119.

Respectfully submitted,

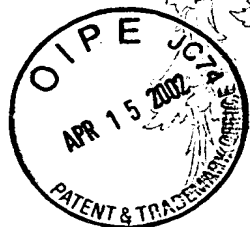
*Vangelis Economou*  
Attorney for Applicant

April 8, 2002  
Date

/19

Vangelis Economou, Reg. 32341  
c/o Ladas & Parry  
224 South Michigan Avenue  
Chicago, Illinois 60604  
(312) 427-1300

RECEIVED  
JUN 1 2 2002  
TC 1700



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 67090 호  
Application Number PATENT-2001-0067090

RECEIVED  
JUN 12 2002  
TC 1700

출원 년 월 일 : 2001년 10월 30일  
Date of Application OCT 30, 2001

출원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.

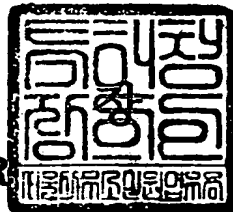
RECEIVED  
JUN 12 2002  
TC 1700



2001 년 11 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001. 10. 30
【발명의 명칭】	반도체웨이퍼 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor wafer
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	피승호
【성명의 영문표기】	PYI, Seung Ho
【주민등록번호】	660410-1042522
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대3차아파트 301-2004호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합 니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	554,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체웨이퍼 제조방법에 관한 것으로, 고체상태의 실리콘 결정 덩어리를 용해시킬 때 일정한 양의 카본을 함께 용해시킨후 잉곳을 성장시키는 단계; 카본이 함유된 잉곳의 플레이트 및 노치면을 연삭한후 탄소막대에 고정시키는 단계; 카본이 함유된 잉곳을 슬라이싱과 에지 그라인딩을 거쳐 탄소막대를 분리하는 단계; 상기 카본이 함유된 잉곳을 다수의 연마공정을 실시하여 실리콘 웨이퍼를 형성하는 단계; 및 상기 다수의 연마공정이 진행된 실리콘웨이퍼상에 에피실리콘층을 성장시키는 단계를 포함하여 이루어진다.

**【대표도】**

도 1

## 【명세서】

## 【발명의 명칭】

반도체웨이퍼 제조방법{Method for fabricating semiconductor wafer}

## 【도면의 간단한 설명】

도 1 및 2는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 용기내에 실리콘덩어리에 카본덩어리를 함께 용해시킨 것을 도시한 도면.

도 3은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 초크랄스키법을 이용하여 잉곳(ingot)을 성장시키는 것을 설명하기 위한 도면.

도 4는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 잉곳에서 슬라이싱(slicing)을 분리하는 것을 설명하기 위한 도면.

도 5는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 상기 슬라이싱을 연마시키는 공정을 설명하기 위한 도면.

도 6은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 상기 연마공정을 거쳐 얻어진 반도체웨이퍼를 도시한 도면.

도 7은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 반도체웨이퍼표면에 성장된 에피택셜층을 도시한 도면.

## 【도면부호의설명】

1 : 실리콘덩어리      3 : 카본덩어리

5 : 시드(seed)      7 : 잉곳(ingot)

10 : 용기      11 : 슬라이싱(웨이퍼조각)    11a : 실리콘웨이퍼      13 : 에피  
실리콘층  
30 : 연마처리장치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12>      본 발명은 반도체웨이퍼 제조방법에 관한 것으로서, 보다 상세하게는 실리콘덩어리에 카본덩어리를 함께 용해하는 방법을 이용하여 소자동작영역으로 침입하는 침입형 실리콘을 제어함으로써 초고집적 반도체소자의 제조에 적합한 반도체웨이퍼 제조방법에 관한 것이다.

<13>      일반적으로, 디바이스를 형성하기 위해 반드시 도입되어야 하는 공정이 이온주입공정이다. 그러나, 실리콘결정에 이온을 주입하면 다량의 침입형 실리콘이 생성된다.

<14>      따라서, 이러한 침입형 실리콘은 후속 열공정에서 보론의 이상 확산(TED; Transient Enhanced Diffusion)을 야기시키며, 실리콘 밴드갭내에 깊은 트랩(deep trap)준위를 형성한다.

<15>      보론의 이상확산이 생기면 짧은 채널 트랜지스터에서 역숫채널효과(reverse short channel effect)가 생기고, 깊은 트랩에 의해서는 접합 누설전류 등의 반도체소자의 열화를 유발시킨다.

<16> 이를 막기 위해 종래에는 카본을 채널영역에 임플란테이션하여 침입형 실리콘을 게더링하는 인접 게더링(proximate gettering)방법이 사용되었다.

【발명이 이루고자 하는 기술적 과제】

<17> 그러나, 이 경우에 임플란트된 카본에 의해 이상확산(TED)은 억제되지만 카본이 또 다른 트랩준위를 형성하여 접합 누설전류를 증가시키게 된다.

<18> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 도핑된 카본이 트랩준위를 형성하여 접합누설전류가 증가하는 것을 억제할 수 있는 반도체웨이퍼 제조방법을 제공함에 그 목적이 있다.

<19> 또한, 본 발명의 다른 목적은, 실리콘덩어리내에 카본덩어리를 도핑하여 더 많은 진성 게더링지역을 형성함으로써 진성게더링 효율을 향상시킬 수 있는 반도체 웨이퍼 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위한 본 발명에 따른 반도체웨이퍼 제조방법은, 실리콘내에 카본이 함유된 잉곳을 성장시키는 단계; 상기 잉곳을 슬라이스화시킨후 표면처리하여 실리콘웨이퍼를 형성하는 단계; 카본이 함유된 실리콘웨이퍼의 표면에 에피실리콘층을 성장시키는 단계;를 포함하여 이루어지는 것을 특징으로 한다.

<21> 또한, 본 발명에 따른 반도체웨이퍼의 제조방법은, 고체상태의 실리콘 결정덩어리에 일정한 양의 카본을 함께 용해시킨후 잉곳을 성장시키는 단계; 카본이 함유된 잉곳의 플레이트면 및 노치면을 연삭한후 탄소막대에 고정시키는 단계;

카본이 함유된 잉곳을 슬라이싱과 에지 그라인딩을 거쳐 탄소막대를 분리하는 단계; 상기 카본이 함유된 잉곳을 다수의 연마공정을 실시하여 실리콘웨이퍼를 형성하는 단계; 및 상기 다수의 연마공정이 진행된 실리콘웨이퍼상에 에피실리콘층을 성장시키는 단계를 포함하여 이루어지는 것을 특징으로한다.

<22> (실시에)

<23> 이하, 본 발명에 따른 반도체웨이퍼 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.

<24> 도 1 및 2는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 용기내에 실리콘덩어리에 카본덩어리를 함께 용해시킨 것을 도시한 도면이다.

<25> 도 3은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 초크랄스키법을 이용하여 잉곳(ingot)을 성장시키는 것을 설명하기 위한 도면이다.

<26> 도 4는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 잉곳에서 슬라이싱(slicing)을 분리하는 것을 설명하기 위한 도면이다.

<27> 도 5는 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 상기 슬라이싱을 연마시키는 공정을 설명하기 위한 도면이다.

<28> 도 6은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 상기 연마공정을 거쳐 얻어진 반도체웨이퍼를 도시한 도면이다.

<29> 도 7은 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서, 반도체웨이퍼표면에 성장된 에피택셜층을 도시한 도면이다.



<30> 본 발명에 따른 반도체웨이퍼 제조방법에 있어서, 카본이 도핑된 잉곳(ingot)을 제조하기 위해서는 기존의 웨이퍼 제조시 잉고트를 성장시키는 방법과 동일하게 잉곳을 성장시키는 방법을 이용한다.

<31> 먼저, 도 1 및 도 2에 도시된 바와같이, 실리콘웨이퍼를 제조하기 위해 용기(10)내에 고체상태의 실리콘결정 덩어리(1)들을 용해시킬 때 일정한 양의 카본 덩어리(3)를 함께 용해시킨다. 이때, 상기 카본의 도핑농도는  $1 \times 10^{14} \sim 5 \times 10^{17}$  원자/cm<sup>3</sup>로 조절하는 것이 바람직하다.

<32> 그다음, 도 3에 도시된 바와같이, 실리콘이 용해된 용기내에 시드(seed)(5)를 담근후 초크랄스키 방법이나 플로팅 존 방법을 사용하여 잉곳(7)을 성장시킨다. 이때, 상기 카본이 도핑된 실리콘웨이퍼(11a), 예를들면 잉곳(ingot)내의 산소농도는 8 ~ 13 ppma로 제어하는 것이 바람직하다.

<33> 이어서, 도 4에 도시된 바와같이, 기존의 웨이퍼 제조방법과 동일하게 특정 방위에 맞추어 성장된 잉곳(7)(예를들면, 카본이 도핑된 실리콘)의 플레이트(flat) 및 노치(notch)면을 연삭한후 탄소막대에 애폭시 등으로 고정한다.

<34> 이어서, 상기 잉곳(ingot)(7)을 슬라이싱(slicing)과 에지 그라인딩(edge grinding)등을 거쳐 웨이퍼조각(11)(예를들면, 이후에 제조되는 실리콘웨이퍼)을 분리한다.

<35> 그다음, 도 5에 도시된 바와같이, 상기 분리된 웨이퍼조각(11)을 기존 공정과 동일한 표면연마, 가장자리 연마, 조연마(즉, 거친연마), 산 또는 알칼리 용

액에서의 에칭, 열적 도너킬링 (thermal doner killing), 미세연마 등을 진행하여 실리콘웨이퍼(11a)를 제조한다.

<36> 이어서, 도 6 및 도 7에 도시된 바와같이, 이렇게 제조된 실리콘웨이퍼(11a)를 에피실리콘 형성용 챔버(미도시)내에 이동시켜 상기 실리콘웨이퍼(11a)상에 일정두께로 에피실리콘층(13)을 성장시킨다. 이때, 상기 에피실리콘층(13)의 두께는  $0.5 \sim 5 \mu\text{m}$  로 조절하는 것이 바람직하다.

#### 【발명의 효과】

<37> 상기에서 설명한 바와같이, 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서는 다음과 같은 효과가 있다.

<38> 본 발명에 따른 반도체웨이퍼의 제조방법에 있어서는, 카본이 도핑된 실리콘웨이퍼표면에 소자동작영역을 일정한 두께의 에피실리콘층으로 형성하면 일정한 깊이에서 침입하는 실리콘과 카본이 결합하여 소자동장영역으로 침입하는 실리콘 농도를 낮추게 된다.

<39> 따라서, 본 발명에서는, 실리콘웨이퍼상에 에피실리콘층이 성장되어 있어 기존의 에피실리콘웨이퍼의 장점과 아울러 카본 도핑효과까지 더해지게 된다. 특히, 카본이 도핑된 실리콘웨이퍼는, 카본이 도핑되지 않은 실리콘웨이퍼에 비해 더 많은 진성 게더링지역을 형성하므로써 진성게더링 효율도 향상된다.

<40> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】**

**【청구항 1】**

실리콘내에 카본이 함유된 잉곳을 성장시키는 단계;

상기 잉곳을 슬라이스화시킨후 이를 표면처리하여 실리콘웨이퍼를 형성하는 단계;

카본이 함유된 실리콘웨이퍼의 표면에 에피실리콘층을 성장시키는 단계;를 포함하여 이루어지는 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 카본 함유농도는  $1 \times 10^{14} \sim 5 \times 10^{17}$  원자/cm<sup>3</sup>인 것을 특징으로하는 반도체웨이퍼 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 카본이 함유된 실리콘웨이퍼내의 산소농도는 8 ~ 13 ppma 인 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 에피실리콘층의 두께는 0.5 ~ 5  $\mu\text{m}$  인 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 5】**

제1항에 있어서, 상기 에피실리콘층은 소자동작영역으로 사용하는 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 6】**

제1항에 있어서, 상기 카본 함유는 고체상태의 실리콘 결정덩어리에 카본덩어리를 함께 용해시켜 이루어지는 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 7】**

고체상태의 실리콘 결정덩어리에 일정한 양의 카본을 함께 용해시킨후 잉곳을 성장시키는 단계;

카본이 함유된 잉곳의 플레이트 및 노치면을 연삭한후 탄소막대에 고정시켜 키는 단계;

카본이 함유된 잉곳을 슬라이싱과 에지 그라인딩을 거쳐 탄소막대를 분리하는 단계;

상기 카본이 함유된 잉곳을 다수의 연마공정을 실시하여 실리콘웨이퍼를 형성하는 단계; 및

상기 다수의 연마공정이 진행된 실리콘웨이퍼상에 에피실리콘층을 성장시키는 단계를 포함하는 이루어지는 것을 특징으로 하는 반도체웨이퍼 제조방법.

**【청구항 8】**

제7항에 있어서, 상기 카본 도핑농도는  $1 \times 10^{14} \sim 5 \times 10^{17}$  원자/cm<sup>3</sup>인 것을 특징으로하는 반도체웨이퍼 제조방법.

**【청구항 9】**

제7항에 있어서, 상기 카본이 함유된 실리콘웨이퍼내의 산소농도는 8 ~ 13 ppma 인 것을 특징 으로 하는 반도체웨이퍼 제조방법.

## 【청구항 10】

제7항에 있어서, 상기 에피실리콘층의 두께는  $0.5 \sim 5 \mu\text{m}$  인 것을 특징으로 하는 반도체웨이퍼 제조방법.

## 【청구항 11】

제7항에 있어서, 상기 에피실리콘층은 소자동작영역으로 사용하는 것을 특징으로 하는 반도체웨이퍼 제조방법.

## 제 7 항 서 \* 【청구항 12】

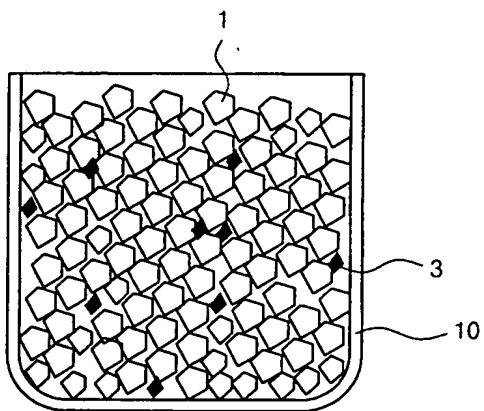
제7항에 있어서, 상기 실리콘웨이퍼에 카본을 함유시키는 단계는, 고체상태의 실리콘 결정덩어리와 카본덩어리를 함께 용해시킨후 초크랄스키 방법 또는 플로팅 존 방법에 의해 잉곳을 성장시키는 단계를 통해 이루어지는 것을 특징으로 하는 반도체웨이퍼 제조방법.

## 【청구항 13】

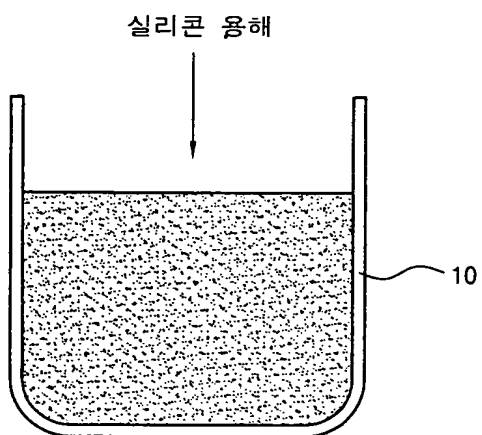
제7항에 있어서, 상기 다수의 연마공정은 표면연마, 가장자리 연마, 조연마, 산 또는 알칼리용액에서의 에칭, 열적도너킬링 및 미세연마를 포함하는 것을 특징으로 하는 반도체웨이퍼 제조방법.

【도면】

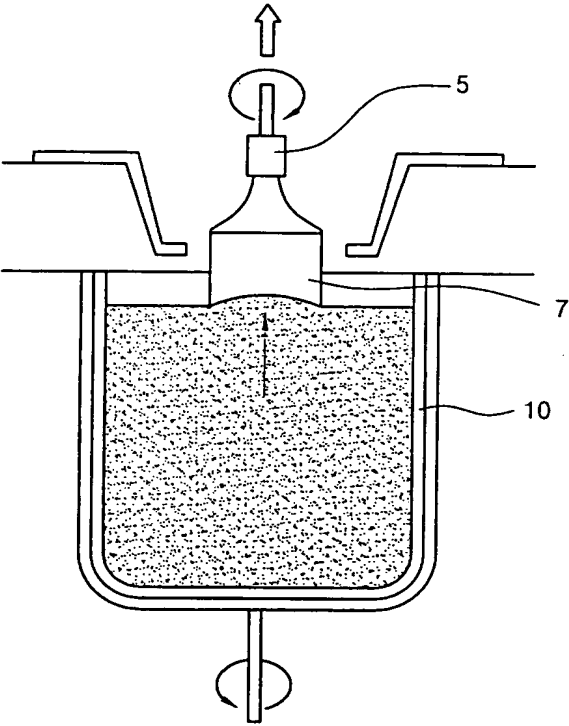
【도 1】



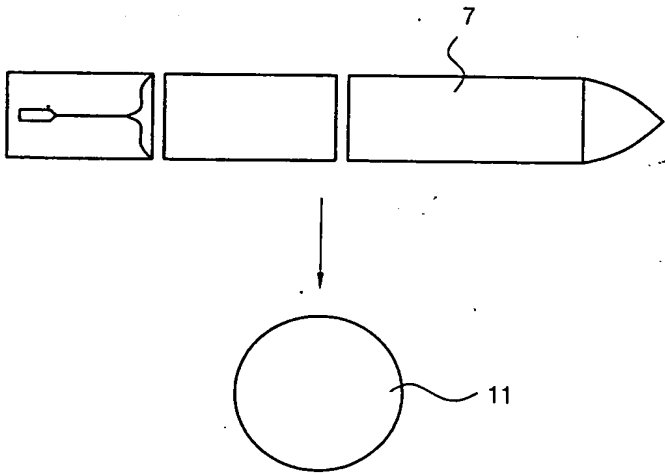
【도 2】



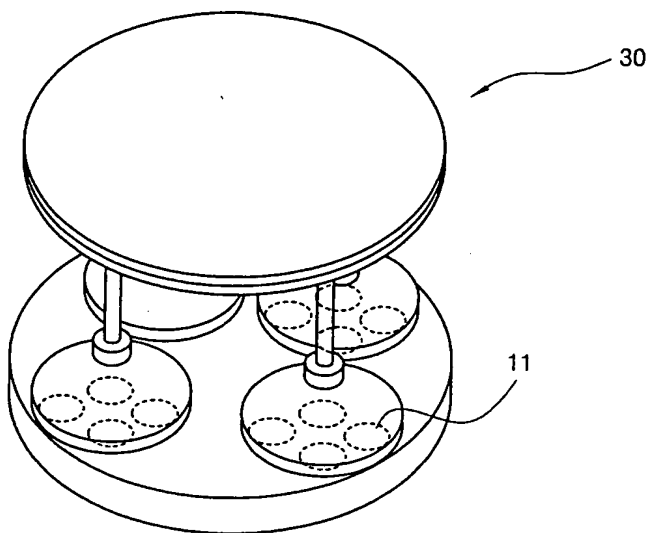
【도 3】



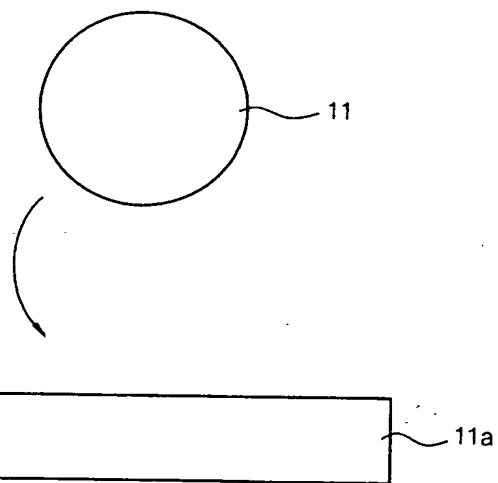
【도 4】



【도 5】



【도 6】



【도 7】

